

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03085755 A**

(43) Date of publication of application: **10.04.91**

(51) Int. Cl. **H01L 25/07**  
**H01L 21/52**

(21) Application number: **01223865**

(71) Applicant: **TOSHIBA CORP**

(22) Date of filing: **30.08.89**

(72) Inventor: **KUDO YOSHIMASA**

**(54) RESIN SEALING TYPE SEMICONDUCTOR  
DEVICE**

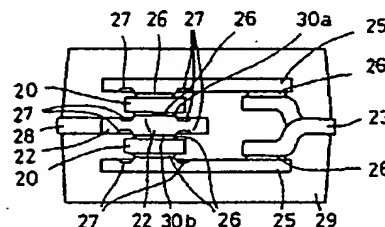
second sticking layers 26, is connected to each other by  
inner leads 23 and 23.

**(57) Abstract:**

COPYRIGHT: (C)1991,JPO&Japio

**PURPOSE:** To prevent short inferiority with the electrodes on P<sup>+</sup> and N<sup>+</sup> sides and cracks by the nonuniformity of junction area between a semiconductor board and a connector by using the first sticking layer, which is formed between an emboss parts formed at both faces of a die stage corresponding to an electrode and each electrode, and the second sticking layer, which is formed between each electrode not stuck to the emboss parts and a connector.

**CONSTITUTION:** Though a planar diode 20 is installed through solder layers, that is, the first sticking layers 26 to a die stage 22, which forms a lead frame, and a forming lead 25, which is mounted in a body to an inner lead, a lead frame 28 for DIP (Dual In Line Package) is made use by applying, for example, press processing to copper or the like. By plastically working the outside of a position where a die stage 22 is planned to be formed in such a lead frame 28, and by metallic material shifting, projected emboss parts 30a and 30b are formed at a circular step part 27 and on the inside. By the way, a connector 25, where simple planar diodes 20 are attached by respective solder layers, that is,



③ 日本国特許庁(JP)

⑩ 特許出願公開

## ④ 公開特許公報(A) 平3-85755

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑥ 公開 平成3年(1991)4月10日

H 01 L 25/07  
21/52

A

8728-5F  
7638-5F

H 01 L 25/04

A

審査請求 有 請求項の数 1 (全5頁)

⑦ 発明の名称 樹脂封止型半導体装置

⑧ 特 願 平1-223865

⑨ 出 願 平1(1989)8月30日

⑪ 発 明 者 工 藤 好 正 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

⑫ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑬ 代 理 人 弁 理 士 大 胡 典 夫

## 明 細 書

## 1. 発明の名称

樹脂封止型半導体装置

## 2. 特許請求の範囲

半導体基板内にPN接合を形成する複数の半導体素子と、このPN接合を構成する相反する導電形の不純物領域に夫々形成する電極と、この電極に対応するダイステージの両面に形成するエンボス部と、この両エンボス部と各電極間に形成する第1図着層と、エンボス部と図解していない各電極とコネクタ一筋に形成する第2図着層と、このコネクタ一筋に接続するリードと、これらを被覆する封止樹脂層を具備することとを特徴とする樹脂封止型半導体装置。

## 3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は、電源整流用樹脂封止型半導体装置に係わり、特に、ブリッジ(Bridge)回路を構成する樹脂封止型半導体装置に好適する。

(従来の技術)

ブリッジ回路を利用する電源整流樹脂封止型半導体装置には、いわゆるメサ(Mesa)型ダイオード(Diode)またはプレーナー(Planar)型ダイオードにより形成するブリッジ回路を利用しており、その組立方式は、複数の素子を経た上でリードフレーム(Lead Frame)を利用する手法も利用されている。この電源整流用樹脂封止型半導体装置を、第1図の斜視図及びこれをA-A線により切断した第2図の断面図更に、半導体素子の構造を示す第3図断面図により説明する。即ち、ブリッジ回路を構成する半導体素子として利用するプレーナー型またはメサ型のダイオードが適用されているが、順序不同であるが第3図断面図に示したプレーナー型について説明する。

ダイオードに必要な、反対の極性を示すN及びP型の不純物領域1、2が半導体素子を構成するシリコン半導体基板(特に図示せず)に形成されており、更にN+領域3も記載されている。このN+領域3は、半導体基板内に多数のプレーナー

## 特開平 3-85755(2)

型半導体素子を形成するのに必要な分断領域として機能するものであると共に、N<sup>+</sup>領域3に形成するダイシングライン(Dicing Line図示せず)に沿ってブレイキング(Breaking)処理して個別の半導体素子を形成する役割も果たす。

図にあるように、P<sup>+</sup>領域2とN<sup>+</sup>領域3には、中央導電性金属層4、5を被覆して電極層4、5を形成している外に、前述の熱酸化法により酸化膜6を被覆後、フォトリソグラフィ(Photo Lithography)法によりパターニング(Patterning)された状態が図示されており、半導体基板表面に露出する接合端部7、8を被覆している。

これに対してメサ型半導体素子では、図示していないが接合端部をメサ状部分に露出しているのが特徴である。即ち、半導体基板の厚さ方向に正または負ベベル(Bevel)もしくは四方を傾えた傾斜面を機械的または化学的あるいは四方を組合わせた手段によって形成する。そして、上記のようにこの傾斜面に露出したダイオードに不可欠な接合端部をシリコンゴムなどのエンキャップ

(Encaps)材で被覆・保護するのが通常である。ところで、このような構造を持ったダイオードの極微細によりブリッジ回路を構成する電極並列樹脂封止型半導体装置が市販されているが、その組立工程には、いわゆるリードフレームを利用する方法が採用されており、第1図の斜視図及びこれをA-A線で切断した断面図により説明する。

コネクター(Connector)10は、インナーリード(Inner Lead)9に半田層12により固着して一体としており、ブリッジ回路に必要な4個のブレイナーまたはメサ型半導体素子13…を半田層12…を介してコネクター10に固着する。更に、このように半導体素子13…を取付けたコネクター10、10には、リードフレーム14に形成したダイステージ(Die Stage)15に各半導体素子13、13の裏面電極5、5を半田層12を介して固着して互いに斜対向するように取付ける。

次に、公知のトランスファーモールド(Transfer Mold)法により樹脂封止工程を施して封止樹脂層16を被覆して、電極並列樹脂封止型半導体装置

- 3 -

を完成している。

(発明が解決しようとする課題)

このような構造の樹脂封止型半導体装置においては、半田層12による取付工程が問題となる。と言うのは、P<sup>+</sup>側電極4をダイステージ15に取付ける際、半田層12が平坦なダイステージ15部分に広がって、絶縁が必要なN<sup>+</sup>領域3、P領域2部分に接触する頻度が高い。このため短絡不良が起こると共に、半導体素子に必要な耐圧が取れない。

更に、半田層と半導体素子の接触面積が一定でないために応力バランスが崩れるためにしばしば割れる事故が発生した。

本発明は、このような弊害により成されたもので、特に、半田の広がりによるP<sup>+</sup>、N<sup>+</sup>側電極との短絡不良及び半導体素子を形成する半導体基板と、ダイステージやコネクター間の接合面積不均一によるクラックを防止することを目的とするものである。

(発明の構成)

- 5 -

(課題を解決するための手段)

半導体基板内にPN接合を形成する複数の半導体素子と、このPN接合を構成する相反する導電型の不純物領域に夫々形成する電極と、この電極に対応するダイステージの両面に形成するエンボス部と、この両エンボス部と各電極間に形成する第1図着層と、エンボス部と図着していない各電極とコネクター間に形成する第2図着層と、このコネクターに接続するリードと、これらを被覆する封止樹脂層に本発明に係わる樹脂封止型半導体装置の特徴がある。

(作用)

このように本発明では、半田層の広がりやエンボス範囲に抑制できるので、厚さを従来より大きくして、疲労特性を改善できる。更に、半導体素子に形成する電極との半田付面積を一定に維持することができるために、面積差による応力も防止でき、ひいてはクラック発生も改善できる。

(実施例)

以下本発明に係わる一実施例を図4図～図6

- 6 -

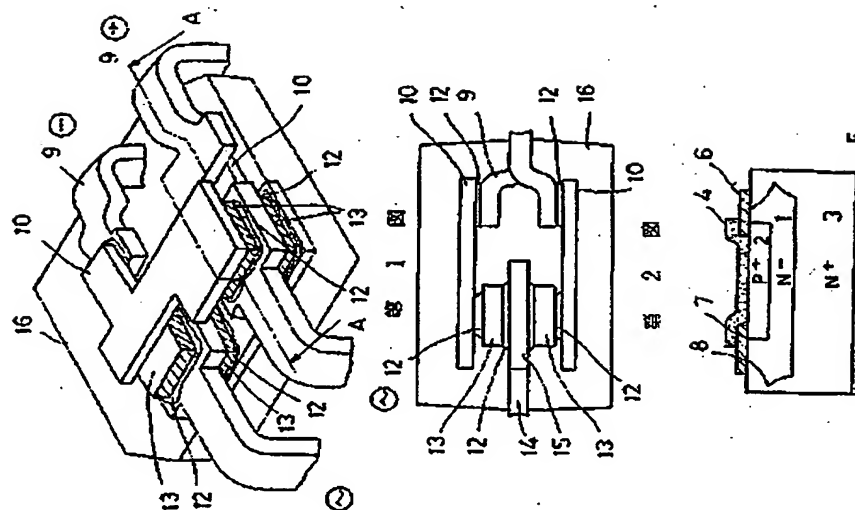
特開平 3-85755(4)

に備わる半導体装置の構造を示す断面図である。

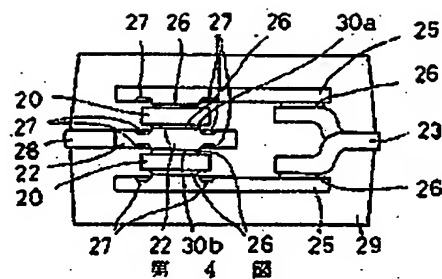
- 1～3…不純物領域、
- 4、5…電極、
- 6…熱硬化膜、
- 7、8…接合部、
- 9、14、23、28…インナーリード、
- 10、25…コネクタ、
- 12、26…第1、第2半田層、
- 13、20、21…半導体素子、
- 15、22…ディスプレイ、
- 27…保護部、
- 30a、30b…エンボス。

代理人 弁理士 大 胡 興 夫

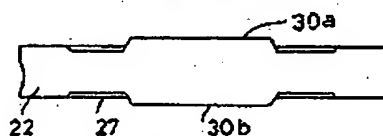
- 11 -



特開平 3-85755(5)

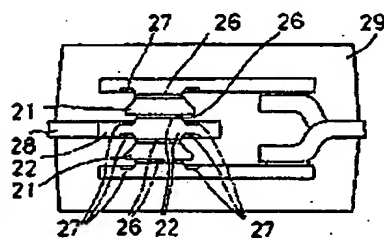


第 4 図



第 5 図

- 1,3 : 可能領域
- 4,5 : 電極
- 6 : 酸化膜
- 7,8 : 接合部
- 10,25 : コタツ
- 9,23,28 : インタリフ
- 12,26 : 固着層
- 13,20,21 : 半導体素子
- 15,22 : ディスクリ
- 30a,30b : エンボス部
- 27 : 段差部



第 6 図